

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-002731

(43)Date of publication of application : 09.01.1991

(51)Int.Cl.

G02F 1/136

H01L 27/12

H01L 29/784

(21)Application number : 01-135985

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 31.05.1989

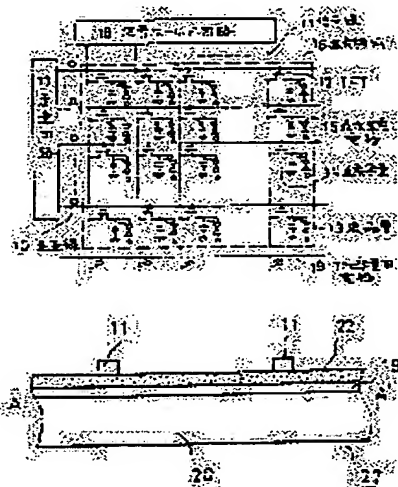
(72)Inventor : ASAI YOSHIHIRO
SHIBUSAWA MAKOTO
KONDO JUNJI

(54) ACTIVE MATRIX TYPE LIQUID CRYSTAL DISPLAY ELEMENT

(57)Abstract:

PURPOSE: To suppress reduction of the held video signal potential to such degree at the time of discharging of a signal line capacity that a defect of picture quality does not occur by providing an electrode for additional capacity, which forms a capacity to prevent the potential reduction of the signal line together with the signal line, in the peripheral part of a picture element area.

CONSTITUTION: In a part under a scanning line 10 of the lowest stage and off a picture element area 16, an electrode 19 for additional capacity is formed in the direction approximately parallel with the scanning line 10 and across signal lines 11. The additional capacity to improve the potential holding capability of the signal line capacity is formed with the signal line 11, the electrode 19 for additional capacity, and a gate insulating film 22. Therefore, the capacity per one signal line 11 is set to about 1.5-fold conventional capacity. Thus, the signal line potential is hardly reduced by discharging of the signal line capacity, and a picture is displayed more accurately than conventional.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑫ 公開特許公報(A) 平3-2731

⑮ Int. Cl.⁵G 02 F 1/136
H 01 L 27/12
29/784

識別記号

5 0 0 A

庁内整理番号

9018-2H
7514-5F

⑬ 公開 平成3年(1991)1月9日

9056-5F H 01 L 29/78 3 1 1 A

審査請求 未請求 請求項の数 1 (全5頁)

⑭ 発明の名称 アクティブマトリクス型液晶表示素子

⑯ 特 願 平1-135985

⑰ 出 願 平1(1989)5月31日

⑱ 発 明 者 浅 井 義 裕 神奈川県横浜市磯子区新杉田町8 株式会社東芝横浜事業
所内⑲ 発 明 者 渋 沢 誠 神奈川県横浜市磯子区新杉田町8 株式会社東芝横浜事業
所内⑳ 発 明 者 近 藤 淳 司 神奈川県横浜市磯子区新杉田町8 株式会社東芝横浜事業
所内

㉑ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

㉒ 代 理 人 弁 理 士 則 近 憲 佑 外1名

明 細 書

(産業上の利用分野)

1. 発明の名称

アクティブマトリクス型液晶表示素子

この発明は、薄膜トランジスタ(Thin Film Transistor, TFT)をスイッチ素子として表示電極アレイを構成したアクティブマトリクス型液晶表示素子に関する。

2. 特許請求の範囲

絶縁基板の一主面上に複数本の走査線及び信号線をマトリクス状に交差させ、この交点付近に薄膜トランジスタ及びこれに接続される表示画素電極からなる一画素を配してなる画素領域を有するアレイ基板と、絶縁基板の一主面上に共通電極を形成してなる対向基板と、前記アレイ基板と前記対向基板を互いの前記一主面側が対向するように組み合わせて得られる間隙に挟持してなる液晶層とを備えたアクティブマトリクス型液晶表示素子において、

(従来技術)

近年、液晶を用いた表示素子は、テレビ表示やグラフィックディスプレイ等を指向した大容量で高密度のアクティブマトリクス型表示素子の開発及び実用化が盛んである。このような表示素子では、クロストークのない高コントラストの表示が行えるように、各画素の駆動と制御を行う手段として半導体スイッチが用いられる。その半導体スイッチとしては、過渡型表示が可能であり大面積化も容易である等の理由から、透明絶縁基板上に形成されたTFT等が、通常用いられている。

前記画素領域の周辺部分に前記信号線との間で前記信号線の電位低下を防ぐための容量を形成する付加容量用電極を設けていることを特徴とするアクティブマトリクス型液晶表示素子。

第5図はTFTを備えた表示画素電極アレイを用いた液晶表示素子の一画素を表す簡単な回路図である。同図(a)において、交差する走査線1と信号線2の各交点位置にはTFT3が設けられ、

3. 発明の詳細な説明

[発明の目的]

TFT3のゲートは行ごとに走査線1に接続され、TFT3のソースは列ごとに信号線2に接続されている。また、TFT3のドレインは表示画素電極4に接続されており、表示画素電極4と対向電極5の間には液晶層6が挟持されている。更に、同図(b)では、同図(a)に示した構成に対し、液晶層6の容量(C_{lc})と並列に新たに蓄積容量(C_s)を挿入し、総付加容量(C_{load}=C_{lc}+C_s)を増すことにより、表示画素電極4の電位保持能力を高めている。ここで、蓄積容量(C_s)は例えば、表示画素電極4の一部、ゲート絶縁膜(図示せず)及び蓄積容量用配線7の間で形成される。

次に、この種の液晶表示素子の駆動方法の一例について説明する。即ち、TFT3のゲートに走査線選択電圧(V_{g,on})が印加されている期間(スイッチング期間)の一部(T_{oe})において、信号線2の電位は映像信号電位に設定される。T_{oe}以外のスイッチング期間中においては、この映像信号電位を信号線容量が保持し、表示画素電

極4の電位はスイッチング期間中に信号線容量に保持された映像信号電位に設定される。この信号線容量は、第5図(a)では走査線1・信号線2間(C_{gs})と信号線2・対向電極5間(C_{cs})で形成する容量であり、第5図(b)では走査線1・信号線2間(C_{gs})、信号線2・対向電極5間(C_{cs})及び信号線2・蓄積容量用配線7間(C_{as})で形成する容量である。また、TFT3のゲートに走査線非選択電圧(V_{g,off})が印加されている期間(保持期間)は、表示画素電極4が信号線容量に保持された映像信号電位を保持する。この結果、表示画素電極4と、所定の電位に設定されている対向電極5との間に挟持されている液晶層6に、映像信号電圧に応じた電位差がかかる。そして、この電位差に応じて液晶層6の配列状態が変化することにより、この部分の光透過率も変化し、映像表示が行なわれる。

(発明が解決しようとする課題)

しかしながら、この種の液晶表示素子では、上述した系で形成される信号線容量が不十分な場

合があり、T_{oe}以外のスイッチング期間中における信号線容量の放電によって、信号線電位が低下するため、表示画素電極4の電位は偽の映像信号電位に設定されることがある。そして、表示画素電極4と対向電極5の間に挟持されている液晶層6に、映像信号電位に応じた電位差がかかる。このため、この部分の光透過率は、真の映像信号電位に応じた電位差が液晶層6に加わった場合とは異なり、偽の映像表示が行なわれてしまう。これはコントラスト低下、フリッカー及びクロストーク等の画像不良の原因となる。

この発明は、このような従来の事情に鑑みてなされたものである。

[発明の構成]

(課題を解決するための手段)

この発明は、絶縁基板の一主面上に複数本の走査線及び信号線をマトリクス状に交差させ、この交点付近に薄膜トランジスタ及びこれに接続される表示画素電極からなる一画素を配してなる画素領域を有するアレイ基板と、絶縁基板の一主面

上に共通電極を形成してなる対向基板と、アレイ基板と対向基板を互いの一主面側が対向するように組み合わせ得られる間隙に挟持してなる液晶層とを備えたアクティブマトリクス型液晶表示素子についてのものである。そして、上記した画素領域の周辺部分に、信号線との間で信号線の電位低下を防ぐための容量を形成する付加容量用電極を設けている。

(作 用)

TFTを用いたアクティブマトリクス型液晶表示素子において、映像表示は表示画素電極の電位に応じて行われ、この表示画素電極の電位は、信号線容量に保持された映像信号電位によって決定される。この発明では、信号線容量が放電しても、保持されている映像信号電位の低下を、画質不良が生じない程度に抑えるため、信号線容量を大きくし、信号線容量の電位保持能力を向上させる。

(実施例)

以下、図面を参照してこの発明を詳細に説明

する。

第1図はこの発明の一実施例を示す等価回路図である。第1図において、走査線10と信号線11の各交点には、TFT12を介した液晶層13、画素容量14及び表示画素電極15の接続により一画素が構成され、これらの各画素は集まって全体として画素領域16を成している。ここで、表示画素電極15は対応するTFT12のドレインに接続され、TFT12のゲート及びソースは、それぞれ対応する走査線10と信号線11に接続されている。また、走査回路17は走査線10に順次ゲートパルスを加し、それに同期して、信号ホールド回路18は走査線10の1ライン分の画像信号を信号線11に出力する。TFT12は所定の走査線10にゲートパルスが印加されている間で導通状態となり、そのとき所定の信号線11に出力されている画像信号に応じて、画素容量14に電荷が蓄積され、液晶層13が駆動される。更に、ゲートパルスが次の走査線10に移ると、TFT12は非導通状態になり、蓄積さ

れた電荷は次に走査を受けるまで保持される結果、液晶層13の表示状態が維持される。そして、最下段の走査線10の更に下部の画素領域16から外れた部分には、付加容量用電極19が走査線10と概略平行な方向に延びるように、信号線11と交差して形成されている。なお、付加容量用電極19は所定の電位例えば対向電極電位或いはグラウンド電位に設定される。

第2図はこの発明の一実施例における一画素部分の断面図である。同図において製造工程に従って説明すると、例えばガラスからなる絶縁基板20の一主面上には、例えば透光性材料であるCr(クロム)膜をスパッタ法で被膜した後、所定の形状にフォトリソングすることによりゲート電極21が形成され、更に、これを覆うように例えば酸化シリコン(SiO₂)からなるゲート絶縁膜22がプラズマCVD法により形成されている。ここで、図示はしていないが、ゲート電極21が形成される際に、同じ工程で第1図における走査線10及び付加容量用電極19も形成され

る。そして、ゲート絶縁膜22のゲート電極21に対向する部分には、例えばI型の水素化アモルファスシリコン(a-Si:H)からなる半導体層23がプラズマCVD法を利用して形成されており、更に、半導体層23上には互いに電気的に分離されたn型a-Si:Hからなるオーミック層24a、24bが、同じくプラズマCVD法を利用して設けられている。そして、半導体層23に隣接するゲート絶縁膜22上には、例えばITO(インジウム・チン・オキサイド)膜をスパッタ法で被膜した後、所定の形状にフォトリソングすることにより表示画素電極15が設けられている。また、オーミック層24bにはドレイン電極25の一端が接続され、ドレイン電極25の他端は表示画素電極15上に延在して接続されている。更に、オーミック層24aにはソース電極26の一端が接続されている。ここで、ドレイン電極25とソース電極26とは、例えばMo(モリブデン)膜とAl(アルミニウム)膜とをスパッタ法で順次被膜した後、所定の形状にフォトエ

ッチングするという同じ工程で形成しており、また、図示はしていないが、第1図における信号線11もドレイン電極25及びソース電極26と同じ工程で形成している。こうして、所望のアレイ基板27が得られる。一方、例えばガラスからなる絶縁基板28の一主面上には、例えばITOからなる共通電極29が形成されることにより、対向基板30が構成されている。そして、アレイ基板27の一主面上には、更に全面に例えば低温キュア型のポリイミドからなる配向膜31が形成されており、また、対向基板30の一主面上にも全面に同じく、例えば低温キュア型のポリイミドからなる配向膜32が形成されている。そして、アレイ基板27と対向基板30の一主面上に、各々の配向膜31、32を所定の方向に布等ですることにより、ラビングによる配向処理がそれぞれ施されるようになる。更に、アレイ基板27と対向基板30は互いの一主面側が対向し且つ互いの配向軸が概略90°をなすように組み合わせられ、これにより得られる間隙には液晶層33が挟持さ

れている。そして、アレイ基板27と対向基板30の他主面側には、それぞれ偏光板34、35が被着されており、アレイ基板27と対向基板30のどちらか一方の他主面側から照明を行う形になっている。

第3図はこの発明の一実施例におけるアレイ基板27上の付加容量用電極19を設けた付近の構造の一例を表す図であり、同図(a)は平面図、同図(b)は同図(a)のA-A'断面を矢印方向からみたときの断面図を示している。第3図からわかるように、信号線11と付加容量用電極19は画素領域16の周辺部分において、ゲート絶縁膜22を介して交差している。ここで、付加容量用電極19が画素領域16の周辺部分に設けられる理由は、製造工程上から考えて走査線10と同時に形成される付加容量用電極19が、表示素子の開口率を低下させる恐れがあるためである。この実施例では、信号線容量の電位保持能力を向上させるための付加容量が信号線11、付加容量用電極19及びゲート絶縁膜22によって形成さ

れるため、信号線11の1本当たりの容量は従来の1.5倍程度に設定できる。この結果、信号線容量の放電に起因した信号線電位の低下が生じにくくなり、従来に比べ正確な映像表示が行なえるようになった。ここで、付加容量用電極19或いは信号線11のパターン形状の変更により、上述した付加容量は任意の値に設定できる。

第4図はこの発明の一実施例におけるアレイ基板27上の付加容量用電極19を設けた付近の構造の他の例を表す図であり、同図(a)は平面図、同図(b)は同図(a)のB-B'断面を矢印方向からみたときの断面図を示している。この例では第3図に示した例と比べ、信号線11と付加容量用電極19の交差部に部分的に半導体層23が残っている点が異なっている。この結果、信号線容量の電位保持能力を向上させるための付加容量は信号線11、付加容量用電極19、ゲート絶縁膜22及び半導体層23によって形成されており、上述した実施例と同様の効果を有することができる。

[発明の効果]

この発明は画素領域外に所定の付加容量用電極を設けることにより、信号線容量の電位保持能力を向上するため、開口率を低下させることなく、信号線容量の放電により信号線容量に保持されている映像信号電位が低下することによって生じる画質不良を抑えることができる。

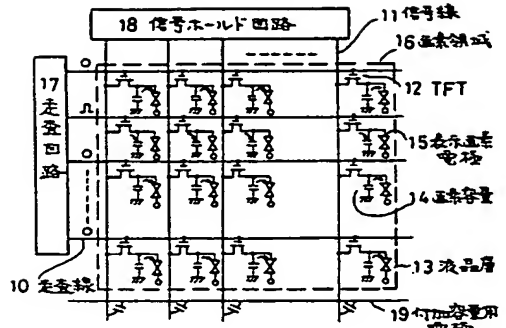
4. 図面の簡単な説明

第1図はこの発明の一実施例を示す等価回路図、第2図は第1図に示した実施例における一面素部分の断面図、第3図と第4図は第1図に示した実施例におけるアレイ基板上の付加容量用電極を設けた付近の構造の一例を表す図、第5図は従来のアクティブマトリクス型液晶表示素子の一面素を表す概略回路図である。

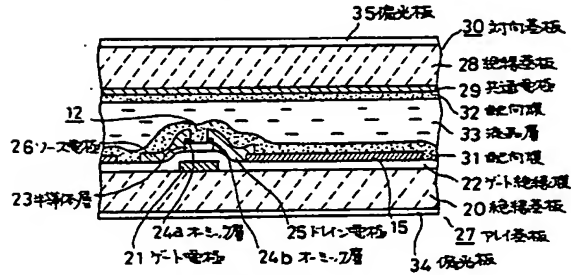
- 10…走査線
- 11…信号線
- 12…薄膜トランジスタ
- 13…液晶層
- 15…表示画素電極

- 16…画素領域
- 19…付加容量用電極
- 20、28…絶縁基板
- 27…アレイ基板
- 29…共通電極
- 30…対向基板
- 33…液晶層

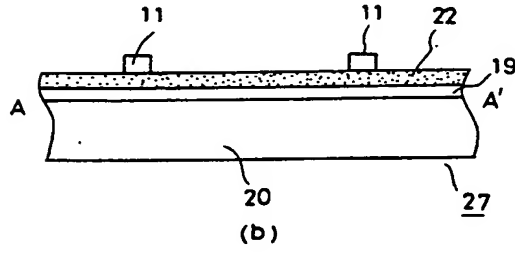
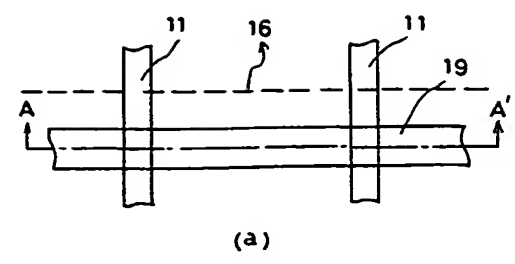
代理人 弁理士 則 近 憲 佑
同 竹 花 喜久男



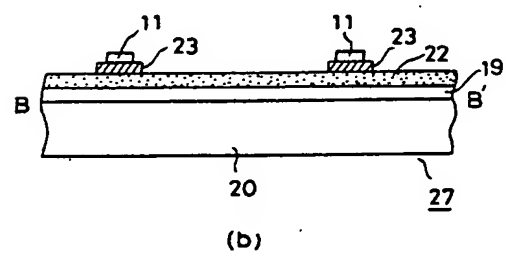
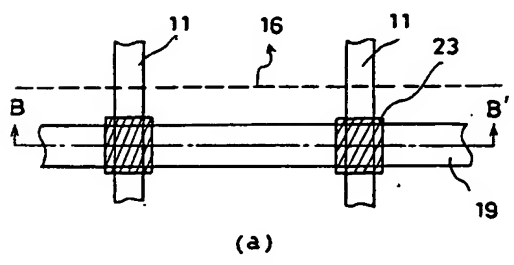
第 1 図



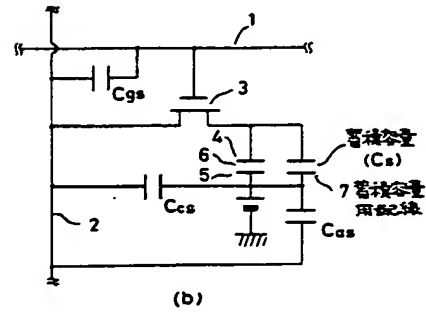
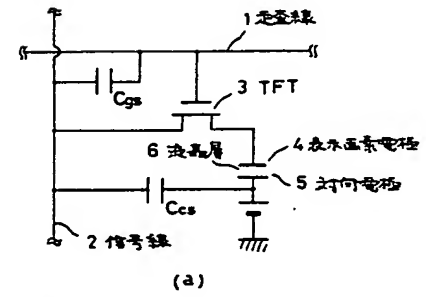
第 2 図



第 3 図



第 4 図



第 5 図